

# 組合せ論理回路のハード的一致検査方式の提案

## Coincidence Detecting Scheme for the Combinatorial Logic Circuits

羽賀隆洋<sup>†</sup>, 立木滋也<sup>††</sup>

Takahiro HAGA, Shigeya TSUIKI

**Abstract** In this paper, we propose an error detecting hardware-scheme for the combinatorial logic circuits (the scheme is named by us as the Coincidence Detecting Scheme). Compared with the software-type testing, the hardware-type detecting has several merits such as (1) simultaneous detection of the errors when they occur, doing usual operations, (2) the possibility of detecting the intermittent faults, etc. But, it is very important to make the detecting circuit to be small one, for the reliability and the frugality of the detecting circuit. Hence, AND-Inverse, Output-Side AND Detecting Schemes are proposed as the special cases of the Coincidence Detecting Scheme. And, as a result, it is shown that (1) AND-Inverse Detecting Scheme has minimal redundancy (2 AND and 1 EXOR elements are sufficient excepting NOT), (2) Output-Side AND Detecting Scheme can be applicable to any given combinatorial logic circuit which is detected, and (3) the (average) detecting rate is largely improved by using parallel extensions of such schemes. Of course, above results hold under the situation that any stuck-at faults (at input and/or output points) can be detected.

### 1. まえがき

近年の論理回路の大規模化, 高密度集積化, 高機能化 (VLSI, ワンチップ・コンピュータ, 等) に伴って, 故障診断, フォールトトレランス分野の重要性が益々大きくなって来ている. 更に, そのような傾向に従って, 重要と見なされる技術の変遷も見られるようである. そこで, 以下に, 主として文献 [1-11] を基にして, 組合せ論理回路の故障診断を中心とした簡略な概観を含めつつ, 我々の提案, 考え (ハード的一致検査方式とその応用) について述べ

る. なお, "一致検査方式" とは, 我々により名付けられ, 我々により大系的に研究し始められたものである.

さて, 論理回路の故障診断の方法は, ハード及びソフト的方式に大別されよう (もちろん, その中間形, 併用形も考えられている). これら2者の得失をまとめれば, 表1のごとくとなろう. いずれにしても, 検査の費用は安くはないと言えよう.

但し, ハードウェアの低コスト化等もあって, テスト容易化設計等が主流になりつつあると言えよう. しかし, 被検査論理回路Lに対して, 検査用付加ハード量が無視できないとすれば, 検査回路自体の故障が無視できず, 付加ハード量は極小にとどめたい. それは, 検査費用の低下にも重要なことである. セ

<sup>†</sup> 愛知工業大学 情報通信工学科 (豊田市)

<sup>††</sup> 鈴鹿工業高等専門学校 (鈴鹿市)

表1. ハード, ソフト的検査方式の得失比較

Term	Scheme	
	Hard	Soft
Needless to halt usual operations	0	X
Possibility to detect intermittent faults	0	X
Needless to compute test inputs	0	X
Possibility of self-checking	0	X
Needless of fault models	△	X
Needless of periodic maintenance	△	X
Easy selection of tested function units	△	△
Easy redesign of given circuit for testing	△	△
Few added pins of VLSI	△	△
Test inputs are surely applied	X	0
Small amount of added hardware	X	0
Total cost of detecting/testing	X	X

(0: fit, X: unfit)

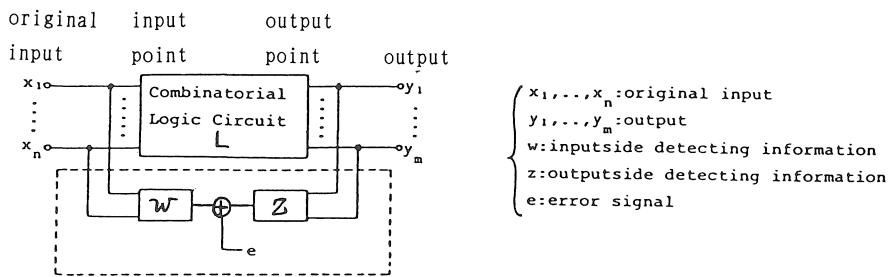
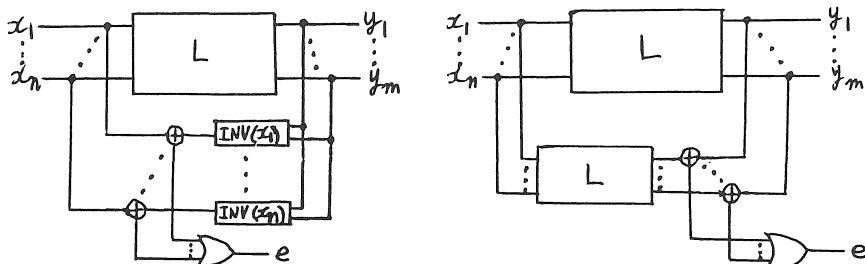


図1. 一致検査方式



(a) インバース形検査方式

(b) 複製形検査方式

図2. 従来の方式の例

ルフチェックの考えもあるが、まだこれからと言う状況である。

そこで、我々は、ハード的方式の欠点を補い、その特長を更に助長するものとして、一致検査方式を提案し、その一般的性質、及び、特別な有効例について述べる。この一致検査方式は、セルフチェックへも応用可能である。

従来のハード的方式には、2, 3重化を始めとする多重化、インバース方式、自己追い出し冗長、ソフトアウト・モジュール冗長、混成冗長、誤り訂正符号の利用、テスト容易化PLA、等が考えられている(図2の前2者は、図1の一致検査方式の特別な場合である)。しかし、いずれもハード量がかなり大となる。

そこで、我々はまずANDインバース方式を提案した[12-17]。それによれば、NOT素子以外に、AND素子2個、EXOR素子1個から成る検査回路で、入・出力点(図1参照)の、多重故障を含めた、全ての縮退故障が検出可能である。その際、被検査回路L内部の相当数の故障が、等価的に入・出力点の故障と見なされ得る(L内部の1重故障が等価的に入・出力点の多重故障ともなり得る)ことに注意する。このように、ANDインバース方式はそのハード量の極小の故、大いに実用化に適していると考えられるが、任意のLに対して適用できるわけではない。すなわち、以下の欠点がある：

(1) ANDインバース方式は、Lの真理値表において、ある出力の組がある唯一の入力の組から生ずるときのみ構成可能である。

(2) 平均テスト速度(故障を検出する入力が生起するまでの平均時間の逆数)が小さい。

従って、次に欠点(1)を無くし、どのようなLに対しても構成可能な、出力側AND方式を提案する。それは同時に、欠点(2)をも補うものであることが知られる。更に平均テスト速度を改善するには、ハード量は漸次増大して行くが、出力側AND検査回路を並列に付加して行くことにより構成される、並列出力側AND方式が有効である。検査回路の冗長度と、平均テスト速度の両者から見て(検査能力は容易にその最大値1に到達できる)、最適な並列度が存在するであろう。そのとき、検査回路の冗長度がほぼ連続的に制御できることが、我々の提案の大きな特長である。

以上の検査方式は、全ての入力の組 $x$ がランダムに生起すること、全ての出力の組 $y$ が生起すること、等を仮定して解析、比較される。それらの仮定が成立しない場合に対する検討は、現在進行中である。又、提案される検査回路は、種々のレベルにおいて利用可能であろう：

(1) IC等の外部に検査回路を設置する。

(2) IC内部に検査回路を含めて構成するが、入・出力情報としては入・出力パッドから得られるものだけに限る。

(3) IC内部の適宜の機能単位毎に、検査回路を設置する。

これらを比較すれば、以下のごとくとなる：

(1)は、IC自体には全く手を加えないので、既存のICに対しても適用可能である。

(2)は、本質的には(1)と同じであるが、検査回路への入力線がパッドと接続される構成となるため、多少とも信頼性が上がるであろう。

(3)は、機能単位をどのように選ぶかにより大きく変わるが、例えば順序回路を細分化して各々組合せ回路と見なせるようにすれば、本文の方式をその各部分に適用できよう。問題点は、多数の検査回路出力をいかに外部ピンに伝えるかである。ピン数の増大を防ぐには、例えば、各検査回路出力のORのみを伝える、或いは、簡単な論理結果のみを伝えること等が考えられるが、より大局的な検討は今後の課題である。

*いずれにしても、例えば既に常識となって特にコメントもされることが無いパリティ・チェックのように、種々のレベルにおいて一致検査回路を設置しておくことは極めて当然の日常茶飯事となる時が来るものと予想、期待される。*

## 2. 一致検査方式とその性質

一致検査方式は、図1のごとく $w$ と $z$ の一致を取り、それらに差があれば $e = 1$ を出力する。但し、正常時に $e = 1$ とならないため、正常時には $w(x) = z(y(x))$ でなければならない。なお、検査回路は与えられたLの外部に設置するものとし、入・出力点としてはICのボンディング、プリント配線の端子接点などを想定するものとする。

### 2.1 仮定

#### 【仮定1】

(1) 故障は、入・出力点の0, 1固定(縮退)故障とする。

(2) 各入・出力点は、独立に等確率で故障する。

(3) 原入力として、 $2^n$ 個の全ての $x$ が無作為に生起する。

(4) 出力として、 $2^m$ 個の全ての $y$ が生起し得る。但し、 $n \geq m$ とする。

### 2.2 基本的性質

以下に、一致検査方式の一般的性質をまず述べる。

但し, 紙数の都合上, 本論文においては, 証明は全て省略する.

**[定義1]** 一般に, 論理関数  $y(x_1, \dots, x_n)$  が変数  $x_i$  に真に関係するとは, 変数の組  $(x_1, \dots, x_{i-1}, x_{i+1}, \dots, x_n)$  の少なくとも一つの値に対して,

$$y(x_1, \dots, x_{i-1}, 0, x_{i+1}, \dots, x_n) \neq y(x_1, \dots, x_{i-1}, 1, x_{i+1}, \dots, x_n)$$

が成り立つことを言う. 更に,  $y$  に真に関係する変数の番号の集合を  $y$  の定義域と呼び,  $D_y$  で表す.

**[定義2]** 図3において,  $z$  に真に関係する出力変数番号の集合を  $\eta$ ,  $z$  に出力  $\{y\}$  を通して間接的に関係する入力変数番号の集合を  $\xi$  で表し, 各々次のように定める.

$$\left\{ \begin{aligned} \eta &= D_z(y_1, \dots, y_m), \\ \xi &= \bigcup_{i \in \eta} D_{y_i}(x_1, \dots, x_n). \end{aligned} \right.$$

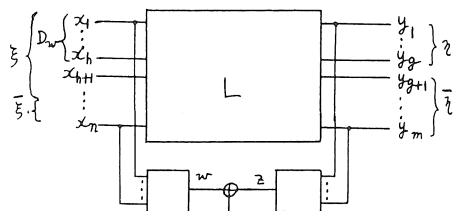


図3.  $\xi, \eta$  の定義

明らかに, 次式が成り立つ.

$$\left\{ \begin{aligned} D_w \subseteq \xi \subseteq \{1, 2, \dots, n\}, \\ \eta \subseteq \{1, 2, \dots, m\}. \end{aligned} \right.$$

なお, 一般性を失うことなく, 次式が成り立つとする.

$$D_{y_1} \cup D_{y_2} \cup \dots \cup D_{y_m} = \{1, 2, \dots, n\}.$$

**[定義3]**  $d$  固定故障 ( $d = 0, 1$ ) している入力点, 出力点の番号の集合を, 各々  $f^d_{in}, f^d_{out}$  と表し,

$$f = (f_{in}, f_{out}),$$

$$\left\{ \begin{aligned} f_{in} &= f^0_{in} \cup f^1_{in} \\ f_{out} &= f^0_{out} \cup f^1_{out} \end{aligned} \right.$$

とする. このとき, 回路  $L$  は故障  $f$  の状態にあると言う. 更に,  $\#(f_{in}) + \#(f_{out}) = 1$  である故障  $f$  を1重故障, その他の故障を多重故障と呼ぶ.

**[基本的性質1]**

(1)  $f_{in} \cap D_w \neq \phi$  ならば, 故障  $f$  は検出可能である.

(2)  $f_{out} = \phi$  ならば,  $f$  が検出可能となる必要十分条件は, 次式が成り立つことである.

$$f_{in} \cap D_w \neq \phi.$$

(3)  $f_{in} = \phi$  ならば,  $f$  が検出可能となる必要十分条件は, 次式が成り立つことである.

$$f_{out} \cap \eta \neq \phi.$$

(4)  $f_{in} \neq \phi, f_{out} \neq \phi, f_{in} \subseteq \xi - D_w$  ならば, 一般に, 検出可能, 不可能の両者の  $f$  が存在する.

**[基本的性質2]**

(1) 1重故障  $f$  が検出可能となる必要十分条件は,

$$f_{in} \cap D_w \neq \phi \text{ OR } f_{out} \cap \eta \neq \phi$$

となることである.

(2) 全ての1重故障が検出可能であれば, 多重故障をも含めた全ての故障が検出可能である.

以上の基本的性質, 及び, 仮定1(3)を考慮して, 検査回路を評価するための三つの尺度, すなわち, 故障検出率, 平均テスト速度, 冗長度を定める.

**[定義4]**

(1) 故障検出率:  $\zeta_\alpha = \mu_d / \mu.$

(2) 平均テスト速度:  $\zeta_s = \left\{ \frac{\sum_{f \in F_d} (\#(T_f) / 2^n)}{\mu_d} \right\}$

(3) 冗長度:  $\gamma = 1 - N_c / (N_c + N_d)$

ここに,  $\mu$  は全ての故障の総数,  $\mu_d$  は検出可能な故障の個数,  $T_f$  は故障  $f$  に対するテスト入力集合,  $F_d$  は検出可能な故障の集合,  $N_c$  は論理回路  $L$  の素子数,  $N_d$  は検査回路の素子数とする.

三つの尺度のいずれも0から1の値を取り,  $\zeta_\alpha, \zeta_s$  は大であることが,  $\gamma$  は小であることが望ましい. 更に,  $\gamma$  は  $N_d$  に対して単調増加することに注意する. 又, 1重故障の重要性を考慮して, 1重故障に限定して  $\zeta_\alpha, \zeta_s$  が用いられることがあるが, それを明確にするため各々  $\zeta_\alpha^{(s)}, \zeta_s^{(s)}$  と表す.

なお,  $L$  への(原)入力が1単位時間毎にランダムに変化すれば,  $1 / \zeta_s$  より長時間持続する間欠故障は, 平均的に言って検査可能となることに注意する.

次に, 以下の関係に注意する. これは, 種々の検査回路の平均テスト速度をもとめるのに極めて有用である. 但し,  $S_x$  は, 入力  $x$  がテスト入力となるような故障  $f$  の集合を表す.

$$\begin{aligned} \zeta_s &= \left\{ \frac{\sum_{f \in F_d} (\#(T_f) / 2^n)}{\mu_d} \right\} \\ &= \left\{ \frac{\sum_{f \in F_d} \#(T_f)}{2^n \cdot \mu_d} \right\} \\ &= \left\{ \frac{\sum_x \#(S_x)}{2^n \cdot \mu_d} \right\}. \end{aligned}$$

**[基本的性質3]**

(1)  $\zeta_\alpha^{(s)} = (\#(D_w) + \#(\eta)) / (n + m).$

(2) 出力点が故障しないとき,  
 $1 / 2^{\#(D_w)} \leq \zeta_s^{(s)} \leq 1 / 2.$

しかも、下限は  $w$  が AND 関数のとき、上限は  $w$  がパリティ関数のときに各々成り立つ。

(3) 入力点が故障しないとき、

$$\zeta_S^{(s)} \leq 1/2.$$

しかも、この上限は  $z$  がパリティ関数のときに成り立つ。

**[基本的性質 4]**

(1) 入力点のみの故障に対しては、

$$\sum_{x \in A} \#(\delta_x) = \sum_{x \in \bar{A}} \#(\delta_x).$$

但し、

$$\begin{cases} A = \{x \mid w(x) = 1\}, \\ \bar{A} = \{x \mid w(x) = 0\} = \{x\} - A. \end{cases}$$

更に、より具体的に、

$$\sum_{x \in A} \#(\delta_x) = \begin{cases} \sum_{i=1}^n \sum_{j=1}^n \#(A) \#(\bar{A}) 2^{k_{ij}} & \text{(多重故障)} \\ \sum_{i=1}^n \sum_{j=1}^n \#(A) \#(\bar{A}) 1 & \text{(1重故障)} \\ d(x_i, x_j) = 1 & \end{cases}$$

ここに、 $d(x_i, x_j)$  は  $x_i$  と  $x_j$  のハミング距離、 $k_{ij}$  は  $x_i$  と  $x_j$  の一致桁数  $n - d(x_i, x_j)$ 。

(2) 出力点のみの故障に対しては、一般には、上記の性質は成り立たない。

(3)  $\zeta_d = 1$  ならば、一般的に、 $1/2^n \leq \zeta_S$ 。

**3. AND インバース形検査方式**

AND インバース形検査回路は、図4で与えられる。

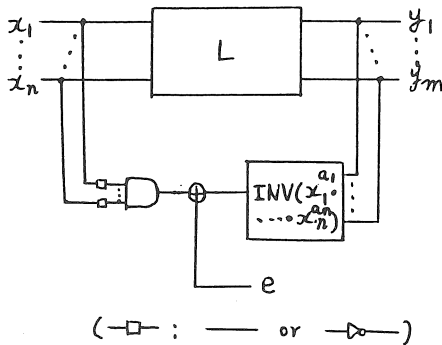


図4. AND インバース形検査回路

すなわち、図1において、

$$\begin{cases} w(x) = \text{AND}(x_1^{a_1}, \dots, x_n^{a_n}), \\ z(y) = \text{INV}(w) \\ \quad = \text{AND}(y_1^{b_1}, \dots, y_m^{b_m}), \\ (x^0 = \bar{x}, x^1 = x) \end{cases}$$

とする。ここに、 $a$ 、 $b$  は各々入力側、出力側ベシク・コードと呼ばれ、 $b$  が入力  $a$  のみから出力

されることが必要である。

以下では、 $w, z$  は各々真に  $n, m$  変数とする。

**[性質 1]**  $\zeta_d = 1$ 、すなわち、入・出力点の全ての故障が検出可能である。

**[性質 2]** 必要素子数は、

$$\begin{cases} \text{NOT} & : \text{高々 } n + m \text{ 個} \\ \text{AND} & : 2 \text{ 個} \\ \text{EXOR} & : 1 \text{ 個} \quad (\gamma \approx 0) \end{cases}$$

これに対し、インバース形、複製形検査回路に対しては  $N_d \approx N_c$ 、すなわち、 $\gamma \approx 1/2$  である。

**[性質 3]**

(1) 入力点の1重故障:

$$\zeta_S^{(s)} \begin{cases} = 1/2 & \text{(Inverse Scheme)} \\ \leq 1/2 & \text{(Duplication Scheme)} \\ = 1/2^n & \text{(AND-Inverse Scheme)} \end{cases}$$

(2) 出力点の1重故障:

$$\zeta_S^{(s)} \begin{cases} = 1/2 & \text{(Inverse Scheme)} \\ = 1/2 & \text{(Duplication Scheme)} \end{cases}$$

$$1/2^n \leq \zeta_S^{(s)} \leq 1/2^n + (2^n - 2^m)/(2 \cdot 2^n)$$

(AND-Inverse Scheme)

(3) 入力点のみの多重故障:

$$\zeta_S \begin{cases} = (3^n - 2^n)/(3^n - 1) & \text{(Inverse Scheme)} \\ \leq (3^n - 2^n)/(3^n - 1) & \text{(Duplication Scheme)} \\ = (1/2^{n-1}) \cdot [(3^n - 2^n)/(3^n - 1)] & \text{(AND-Inverse Scheme)} \end{cases}$$

(4) 出力点のみの多重故障:

$$\zeta_S \begin{cases} = (3^m - 2^m)/(3^m - 1) & \text{(Inverse Scheme)} \\ \quad (n = m) \\ = (3^m - 2^m)/(3^m - 1) & \text{(Duplication Scheme)} \end{cases}$$

$$(1/2^{n-1}) \cdot [(3^m - 2^m)/(3^m - 1)]$$

$$\leq \zeta_S \leq (1/2^{n-1}) \cdot [(3^m - 2^m)/(3^m - 1)]$$

$$\cdot [(2^n - 2^m + 2)/2]$$

(AND-Inverse Scheme)

**4. 出力側 AND 形検査方式**

出力側 AND 形検査回路は、図5で与えられる。



但し、 $S_x^{(h)}$  は、第  $h$  検査回路のみを単独で用いた場合の、 $S_x$  である。更に、任意の  $h \neq h'$  に対して、

$$\begin{aligned} & \sum_x \#(S_x^{(h)} \cap S_x^{(h')}) \\ & (h \neq h') \\ &= \sum_{\substack{x \in A_R \\ (h \neq h')}} \#(S_x^{(h)} \cap S_x^{(h')}) + \sum_{\substack{x \in A_{R'} \\ (h \neq h')}} \#(S_x^{(h)} \cap S_x^{(h')}) \\ &+ \sum_{\substack{x \in A_R + A_{R'} \\ (h \neq h')}} \#(S_x^{(h)} \cap S_x^{(h')}) \\ &= 2 \cdot \sum_{\substack{x \in A_R \\ (h \neq h')}} \#(S_x^{(h)} \cap S_x^{(h')}). \end{aligned}$$

以上より、  

$$P_L = \sum_{h=1}^L t_h$$
 とすれば、

【性質6】入力点のみの故障に対しては、

$$\begin{cases} \zeta_S^{(5)} = (I^{(5)} - C_i^{(5)} - C_p^{(5)}) / (2^n \cdot 2^n) \\ \zeta_S = (I - C_i - C_p) / (2^n \cdot (3^n - 1)) \end{cases}$$

where

$$\begin{cases} I^{(5)} = 2^n \cdot P_L \\ I = 2 \cdot (3^n - 2^n) \cdot P_L \\ C_i^{(5)} = 4 \cdot \sum_{k=1}^L \left( \sum_{i=1}^{2^k-1} \sum_{j=1}^{2^k-1} 1 \right), d(x_i, x_j)=1 \\ C_i = 4 \cdot \sum_{k=1}^L \left( \sum_{i=1}^{2^k-1} \sum_{j=1}^{2^k-1} 2^{k-i-j} \right); \\ C_p^{(5)} = 2 \cdot \sum_{k=1}^L \sum_{h=1}^{k-1} \left( \sum_{i=1}^{2^k-1} \sum_{j=1}^{2^k-1} 1 \right), d(x_i, x_j)=1 \\ C_p = 2 \cdot \sum_{k=1}^L \sum_{h=1}^{k-1} \left( \sum_{i=1}^{2^k-1} \sum_{j=1}^{2^k-1} 2^{k-i-j} \right); \end{cases}$$

【定義5】並列度  $L$  を、可能な限り大きくしたとき (高々  $2^{2^m} - 2$ ) に得られる平均テスト速度の値を、最大平均テスト速度と呼び、 $\zeta_S^*$  で表す。

最大平均テスト速度の値は、与えられた  $L$  に固有な値であることに注意する。

なお、検査回路に必要な素子数は、

$$\begin{cases} \text{NOT} & : \text{高々 } n+m \\ \text{AND} & : P_L + L \\ \text{OR} & : L + 1 \quad (L=1 \text{ なら } 1) \\ \text{EXOR} & : 1 \end{cases}$$

である。EXOR 1 個を、AND 2 個、OR 1 個の計 3 個に換算すれば、

$$\begin{aligned} N_a &= P_L + 5 \cdot L + 1 \quad (L \geq 2) \\ &= P_1 + 5 = t_1 + 5 \quad (L = 1) \end{aligned}$$

となることに注意する。

【例1】真理値表が、図8により与えられる  $L$  を考える。

	$x_1 x_2 x_3 x_4$	$y_1 y_2 y_3$	$x_1 x_2 x_3 x_4$	$y_1 y_2 y_3$	
$A_1$	0 0 0 0	0 0 0	1 0 0 0	1 0 0	$A_6$
$A_2$	0 0 0 1	0 1 0	1 0 0 1		
$A_3$	0 0 1 0	1 0 1	1 0 1 0		$A_7$
$A_4$	0 0 1 1	0 1 1	1 0 1 1	0 0 1	
$A_5$	0 1 0 0		1 1 0 0		$A_8$
	0 1 0 1	1 1 0	1 1 0 1		
	0 1 1 0		1 1 1 0	1 1 1	
	0 1 1 1		1 1 1 1		

( $n=4, m=3$ )

図8.  $L$  の真理値表

$A_i$  の種々の使用順に対する  $\zeta_S$  の変化を、図9に示す。この例では、 $\zeta_S^* = 0.73$  であることが知られる。但し、故障は入力点のみの多重故障を考えている。

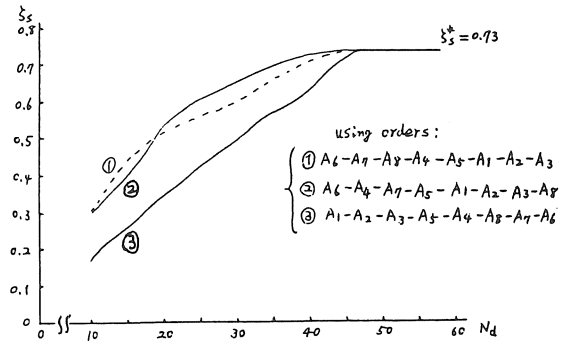


図9.  $\zeta_S$  v.s.  $N_d$  のグラフ

なお、第4、5章とも、第3章と同じく、少なくとも一つの  $h$  に対して、 $w_h, z_h$  が各々真に  $n, m$  変数である場合を考えていることに注意する ( $L \geq 1$ )。

### 6. 各種検査方式の比較、検討

以上において述べられた、各種検査方式の関係、及び、性能比較を図示すれば、各々図10、11のようになる ( $\zeta_a$  は容易に1とできることに注意)。従来のインバース、複製形検査方式等をヒントとして、本論文ではANDインバース、出力側AND、並列出力側AND形検査方式の順に提案、検討して来たが、結局は(並列)一致検査方式と言う枠内で、それら全てを大系的に取らえることができたわけである。

次に、我々の提案の意図、特長をまとめる：

(1) 通常の動作を停止する必要の無い、オンライ

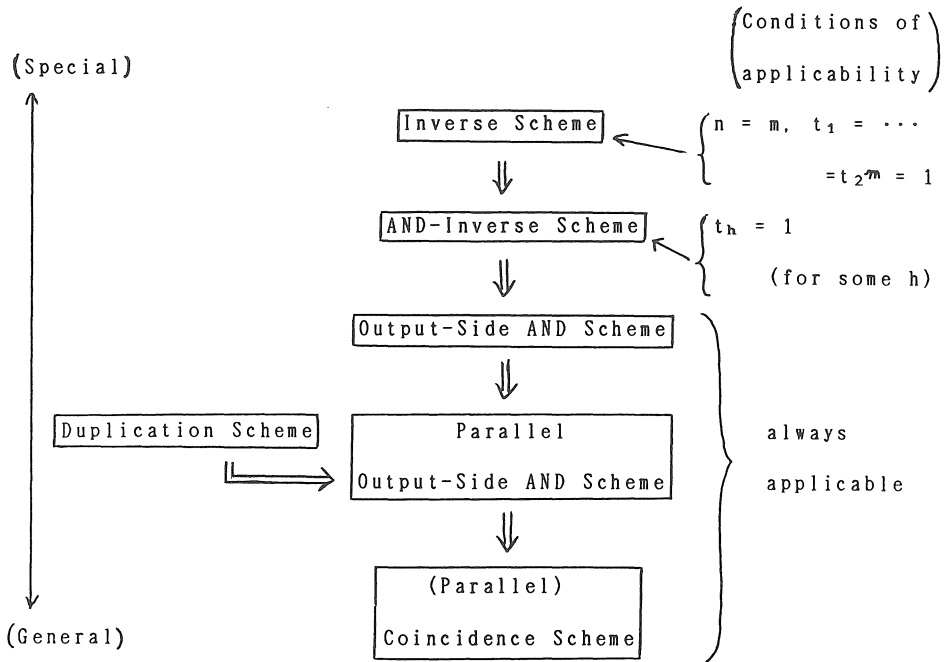


図10. 各検査方式間の関係

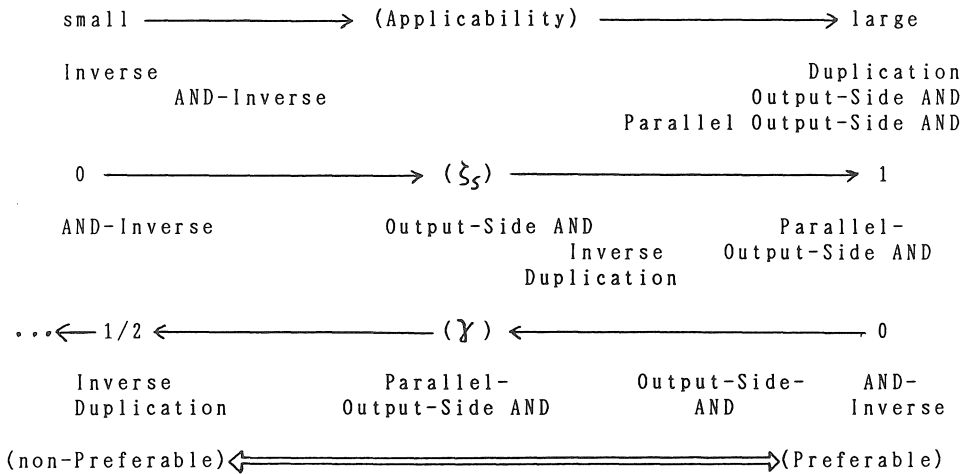


図11. 各検査方式の比較

ン方式である。それにより、間欠故障の発見の可能性も大となる。

(2) 入・出力点の固定故障に等価となる故障であれば、回路L内部のどのような故障でも(非固定故障でも)検出可能である。従って、故障モデルを設定する必要がなく、検査の分解能はそれほど高くな

くてもよいと言う、最近の傾向にも沿っている。

(3) 検査回路自体の故障が無視されるように(これは、又、検査回路の費用をも小さくする)、冗長度(付加ハード量)を小さくすることに重点を置いた。又、冗長度がほぼ連続的に制御できる。

(4) 従来のいくつかの検査方式を、特別な場合と



して含む。

(5) 原則として、被検査回路Lには手を加えないとしたが、組込検査方式にも十分対応できる。又、セルフ・チェックにも利用できる。

(6) 検査対象となる機能単位を様々なレベルに設定でき、パリティ・チェックのように簡便である。

(7) 1重故障のみならず、多重故障に対する検査能力も十分に大きい。

(8) テスト入力が発生、及び、テスト入力に対する正しい応答の記憶が不要である。

(9) ICの検査用付加ピン数を少なくできる。又、その最小数1からより多くまで、かなり任意に選択できる。

(10) 実用的にも、又、理論的にも、より深く発展させられる可能性を十分に含んでいる。

最後に、今後の研究課題を述べる：

- (1) (並列)一致検査方式において、
  - (a)  $\zeta_S, \zeta_S^{(S)}$ のより詳しい評価。特に、入・出力点の両者に故障が存在する場合の、評価法の確立。
  - (b)  $\zeta_S, \zeta_S^{(S)}$ と、 $w, z$ の関数形との間の関連性。特に、 $\zeta_S, \zeta_S^{(S)}$ の最大、最小値を与える、 $w, z$ の関数形の決定。
  - (c)  $L=1$ の一致検査方式に対して、一般に、 $1/2^n \leq \zeta_S(\zeta_S^{(S)}) \leq 1/2$ が成り立つか。

(d) 三つの尺度  $\zeta_\alpha, \zeta_S, Y$  の間の関連性。それらを総合的に考慮した場合の、最適な並列度  $L$  の決定。

(e) 最大平均テスト速度  $\zeta_S^*$  の簡便な評価、推定法、及び、被検査回路Lとその値  $\zeta_S^*$  との関連性(特に、 $\zeta_S^*$ を最大、最小にするLの決定)。

- (2) 並列出力側AND形検査方式において、
  - (a) 性質6の、各項  $I(I^{(0)}), C_i(C_i^{(0)}), C_p(C_p^{(0)})$  の間の関連性。
  - (b) (1)(d)と同じ課題。及び、 $A_i$ の最適使用順。
  - (c) (1)(e)と同じ課題。
- (3) 適宜のレベルの機能単位毎に設置された検査回路出力  $e_1, e_2, \dots$  の、総合的利用法。
- (4) 本論文の各種前提、仮定の緩和。
  - (a) 生起する  $x, y$  が、各々  $2^n, 2^m$  未満のとき。更に、 $x$  が等確率で生起するとは限らないとき。
  - (b)  $m \geq n$  のとき。
  - (c)  $A_1 + \dots + A_2^m \subsetneq \{x \text{ 全体}\}$  のとき。
  - (d)  $A_h \cap A_{h'} \neq \emptyset$  (for some  $h = h'$ ) のとき。
  - (e) " $w_h, z_h$  が各々真に  $n, m$  変数", ではない (for any  $h$ ) とき、 $\zeta_\alpha = 1$  となる条件は。
  - (f) 付加入・出力線の利用。例えば、ANDインバース方式が適用できるようにLの真理値表を変える、或いは、 $\zeta_S$ の改善への利用、等。

## (文献)

- [1] F.F. Sellers, Jr., et al. : "Error Detecting Logic for Digital Computers", McGraw-Hill (1968).
- [2] J. Losq : "A Highly Efficient Redundancy Scheme: Self-purging Redundancy", IEEE C-25, 6, pp.569-578 (June 1976).
- [3] P.T. de Sousa, F.P. Mthur : "Sift-out Modular Redundancy", IEEE C-27, 7, pp.624-627 (July 1978).
- [4] Agui, Naitoo : "Fault Detection for Logic Circuits", Sanpou Syuppan in Japan (1976).
- [5] Kinoshita, Fujiwara : "Fault Detection for Digital Circuits (1)", kougaku-Tosyo Syuppan in Japan (1983).
- [6] P.K. Lala : "Fault Tolerant & Fault Testable Hardware Design" Prentice-Hall (1985).
- [7] Iwadare : "Reliability of Information Systems", IEICE Syuppan in Japan (1989).
- [8] Mukaidono (ed.) : "Fault Tolerant Computing", Maruzen Syuppan in Japan (1989).
- [9] "Fault Detection for Logical Devices", IPSJ, Japan, 25, 10, pp.1112-1130 (Oct. 1984).
- [10] "Easily Testable Design of VLSI", IPSJ, Japan, 30, 12, pp.1450-1493 (Dec. 1989).
- [11] Nanya : "Advances in Fault Tolerance Techniques", IEICE, Japan,
  - [I] Self-Checking Processors, 73-9, pp.991-999 (Sep. 1990).
  - [II] Wafer-Scale Architecture, 73-10, pp.1095-1102 (Oct. 1990).
  - [III] Fault Tolerance in Distributed Systems, 73-12, pp.1344-1351 (Dec. 1990).
  - [IV] Design Fault Tolerance, 74-1, pp.74-81 (Jan. 1991).
- [12] Tsuiki, Haga and Fukumura : "Some Properties of the AND-Inverse Detecting Circuits for the Combinatorial Logic Circuits", Trans. (A), IEICE, Japan, J61-A, 6, pp.617-619 (June 1978).
- [13] Haga, Fukumura : "On the Detecting Circuit for the Combinatorial Logic Circuit", Proc. Annual Convention, IEICE, Japan, 52 (1977).
- [14] Tsuiki, Haga and Fukumura : "AND Inverse Detecting Circuits and its Extensions for the Combinatorial Logic Circuits", Tech. Rep. Automaton and Language, IEICE, Japan, AL78-89 (Mar. 1979).
- [15] Tsuiki, Haga : "AND-Inverse Error Detecting Circuit for the Combinatorial Logic Circuits", IEICE, Japan, J73-A, 1, pp.112-120 (Jan. 1990).
- [16] Tsuiki, Haga : "AND-Inverse Detecting Circuit for the combinatorial Logic Circuits", Systems and Computers in Japan, Scripta Technica Inc. (to appear).
- [17] Tsuiki, Haga : "Hardware-Type Coincidence Detecting Scheme for the Combinatorial Logic Circuits --- AND-Inverse, Output-Side AND, ... Detecting Schemes", 24th FTC Tech. Rep., Japan (Jan. 1991).