

低消費電力&広帯域周波数特性を併せ持つ CMOS アナログ LSI の開発 Design for the CMOS Analog LSI circuit with Low Consumption and Wide bandwidth

江間俊樹[†], 小島充喜[†], 五島敬史郎[†], 江口一彦[†], 山田明宏^{††}
Toshiki Ema[†], Mitsuki Kojima[†], Keishiro Goshima[†], Kazuhiko Eguchi[†], Akihiro Yamada^{††}

Abstract The large scale integrated circuit with high performance and low consumption is required for the low drive voltage and high movement frequency. For these situations, the design technique of analog circuit is necessary at full digital circuit components.

In this paper, we designed the analog integrated circuit with low power consumption and broadband frequency band characteristic by means of the CMOS Transistors.

1. 緒言

昨今、身の回りにはコンピュータ製品があふれ設計技術者の重要性がますます高まってきている。さらに、デジタル回路を用いた大規模集積回路設計の現場では、設計の効率化のため、HDL (Hardware Description Language) と呼ばれるハードウェア言語の利用が主として行われており、現在は C 言語での開発も可能となってきた。大学では、デジタル回路・学生実験等の講義で、簡単な組み合わせ回路や順序回路について学習し学生実験においては、FPGA (Field Programmable Gate Array) を用いた実習を行っているが^[1]、デジタル回路の動作の仕組みと、高度に抽象化された HDL 言語を用いたデジタル回路動作との間には、大きな理解の障壁があるのも事実である。つまり、FPGA を用いたデジタル回路設計において FPGA チップ内部はブラックボックス化され、内部でどのような回路構成になっているかを確かめることも難しい。加えて、高機能・高性能化によって半導体集積回路は、ますます大規模かつ、消費電力を抑えるための駆動電圧の低下、また高い動作周波数を要求されている。^[1, 2]

このように低い供給電圧と高い動作周波数の相反する動作状況下では、デジタル回路であってもアナログの設計要素が必須になってきている^[3]。

例えば、いろいろなシステムで作られたデジタルデータを有線通信によって高速・大容量に伝送する場合、デジタル信号の波形は減衰と歪みを受けて、もはやデジタル信号とは似ても似つかぬ波形に変化してしまう。このような信号を受信しデジタル信号として戻すためには、アナログ増幅器や高い精度のデジタル・アナログ変換機 (ADC) が必要である。また、高い動作周波数においては、LSI の内部でさえデジタル信号波形が歪み、インピーダンス整合や信号遅延時間などのアナログ要素も重要になってきている。

アナログ集積回路では、長らくバイポーラタイプのデバイスが主流になっていた。しかし、小型化・低消費電力のニーズが強く、アナログ集積回路に置いても CMOS タイプのデバイスが主流になりつつある。CMOS タイプを使えば、アナログ回路とデジタル回路を同一チップに集約することができて機能を改善することが出来ると期待されている。しかしながら、CMOS タイプのデバイスは、バイポーラ型トランジスタに比べて動作速度が遅くノイズが多いという欠点を持ち合わせている。^[4]

これからのアナログ集積回路では、この CMOS タイプを使って、デジタル回路と同様にスケールアップを進めると同

[†] 愛知工業大学 工学部 電気工学科 (豊田市)

^{††} A.LSI デザイン (東京都)

時にバイポーラ型デバイスの性能を凌駕する設計が行うことが重要である。

本研究ではデジタル回路にアナログ回路設計要素を取り入れデジ・アナ融合技術によって動作スピードや安定性を向上させる LSI の開発を目指している。本発表では、CMOS タイプのトランジスタを使ったアナログ集積回路の設計として低消費電力および広帯域周波数帯域特性を持ったオペアンプの設計に取り組んだ。

2. CMOS トランジスタのアナログ動作原理

図 1 に p チャネル MOS 型 FET トランジスタの構造図を示す。ゲートとドレイン・ソース間は絶縁膜（二酸化シリコン層）で挟まれており電気的には絶縁されている。このゲートに電圧が印加されると、ドレイン・ソース間にチャネル層が形成されてソースからドレインに電流が流れる。電流ドライブ能力はゲート幅 W と長さ L によって決定される。デジタル回路で用いられている MOS 型トランジスタは飽和領域を利用している。一方 MOS 型トランジスタを用い

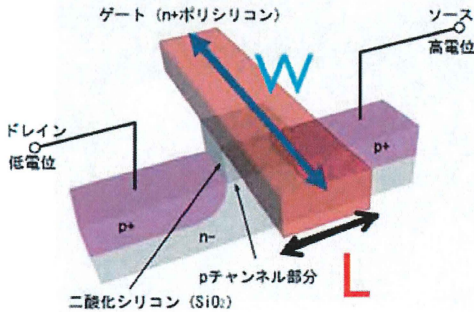


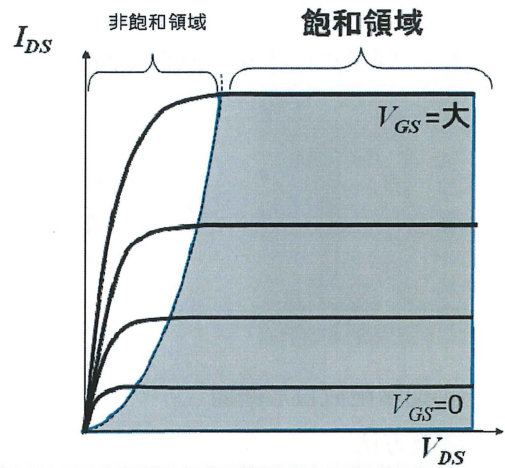
Fig.1. Schematic of MOS FET

たアナログ回路では、バイポーラ型トランジスタとは違い飽和領域を使用するという特徴を持つ。(図 2.参照) これは飽和領域で入力信号 V_{GS} の大きさに比例して出力 I_{DS} が変化する効果を利用している。すなわち MOS トランジスタレベルの特性で見ればデジタルもアナログも使用している飽和領域は同じである。

飽和領域でのソース・ドレイン電流は、

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 (1 + \sigma V_{DS})$$

(1)ここで β は移動度 μ 、ゲート酸化膜のキャパシタンス C_{ox} とすると



$$\beta = \frac{W}{L} \mu C_{ox} \quad (2)$$

で定義される。(1) 式より飽和領域ではソース・ドレイン電流 I_D は $(V_{GS} - V_T)^2$ に比例するので、ゲート電圧 V_{GS} を高くすると I_D は増加する事を意味している。

また、MOSFET の相互コンダクタンス g_m は

$$g_m = \beta (V_{GS} - V_T) = \sqrt{2\beta I_D} \quad (3)$$

で定義される。これらのパラメータはいずれも、ゲート幅 W と長さ L で決定される為、CMOS アナログ回路では要求される性能によって適宜最適な値を設計する。[5]

3. CMOS オペアンプの概略及び設計

現在の集積回路設計では Electronic Design Automation (EDA) ツールの使用が必須である。そのため、本研究では VDEC を通して各設計に必要な EDA ツールを入手し設計を行った。設計に使用したツールは回路シミュレーションとして HSPICE, 回路図入力には Jdat 社の Asca, レイアウト設計は同じく Jdat 社の Ismo である。[5]

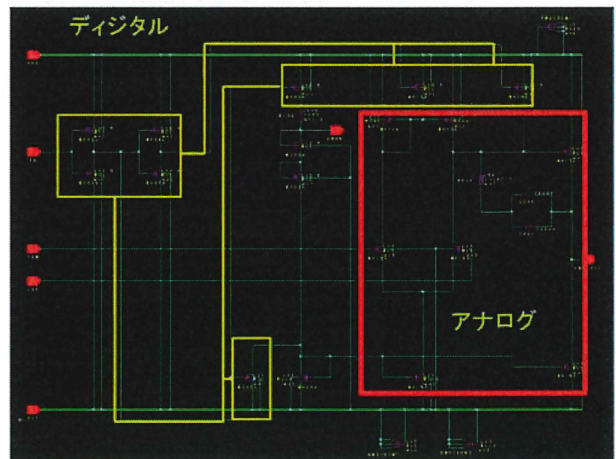


Fig.2. DC analysis of CMOS OPamp

今回試作したオペアンプの回路図を図 2 に示す。オペアンプではあるが低消費電力を達成する為に、デジタル素子を混載して、入力信号が無い場合には、アナログ部への電源供給をカットする機構を設けている。

アナログ回路では、オペアンプの基本的な 2 段構成で作成した。初段は、利得を高めるためにカスケード型差動増幅器を用いている。その後、カスコード型増幅回路を用いて出力を強化している。また、差動増幅段と増幅段の間には、利得帯域周波数特性を保障するための位相補償キャパシタを挿入している。

設計仕様としては

1. 電源電圧 +5V
2. 出力振幅 > 4.5V
3. 電圧利得 > 1000 倍
4. 周波数帯域幅 > 1000kHz
5. 出力電流 > 10mA
6. スリープモード機能を追加

である。

仕様から、各 CMOS トランジスタの W/L 設計値及び位相補償用のコンデンサ容量を計算する。これらの計算値を算出するためには、デバイス条件と呼ばれる n 型 p 型の半導体物理パラメータを考慮に入れるが具体的な数値については割愛し、結果のみを示す。

デジタル部の CMOS トランジスタは、全て $L=0.6\mu\text{m}$ 、 $W=2\mu\text{m}$ プロセスで設計した。アナログ部の位相補償コンデンサは、周波数帯域及び出力ドライブ能力を考慮して 500fF とした。増幅段に使用した nMOS 及び pMOS トランジスタの W/L 比は pMOS = 8、nMOS = 2 で設計した。入力段の差動増幅については、nMOS の W/L = 1 で設計した。基準電圧は、抵抗値は 350k Ω として 2.7V とした。

これらの W/L の具体的な数値より、電圧利得は 1900 倍と見積もられた。

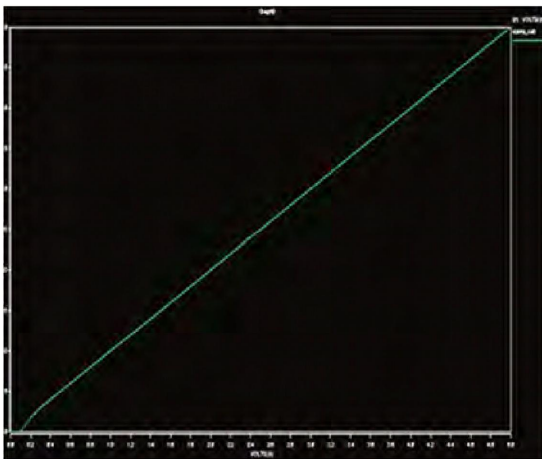


Fig.3. Circuit of CMOS OPamp

3.1 回路動作シミュレーション (解析)

回路構成および各 MOS トランジスタサイズを算出したところで、実際に回路シミュレーションを行ってより詳細

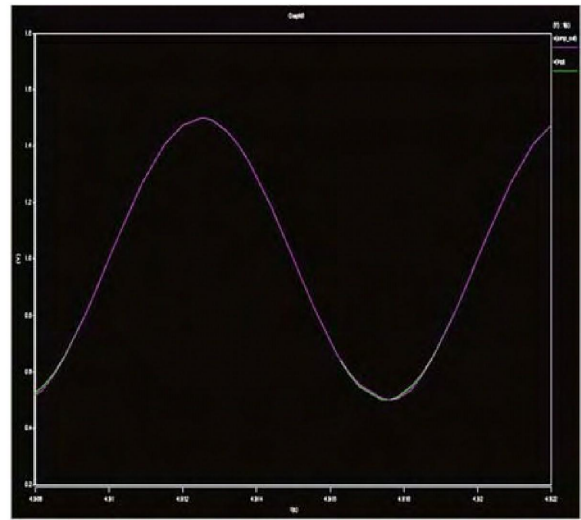


Fig.4. Transient analysis of CMOS OPamp

な設計を行う。なお今回の回路シミュレーションは、VDEC を通じて synopsys 社の HSPICE を使用した。

HSPICE では、今回試作するデバイスの半導体物理パラメータが入っているスパイスモデルファイル、オペアンプ内の集積回路を記述したネットリストファイル、電源や入力等を記述した回路パラメータファイルの 3 つを使って解析を行った。図 4 は直流解析結果を示したものである。電源電圧が 0.4V 以上で正常に動作する。また図 5 は過渡解析結果を示した図である。入力信号は正弦波 1000 kHz を入力した場合の出力結果を示している。この条件であっても入力信号と同じ出力信号が解析されており、当初の仕様は満たしていると確認できた。^[6]

4. レイアウト設計方法

4.1 具体的な実現方法

3 章での回路設計値に基づき実際の集積回路へのレイアウト設計を行っていく。使用したツールは Jdat 社の Ismo である。CMOS アナログ回路設計においてはトランジスタのサイズ L/W の値が回路に流れる電流値や増幅率を決める。そのためレイアウト設計の際には L/W の値を正確に設計しなければならない。本研究では、MOS トランジスタの幅 W の値を変更して設計を行った。図 5 は、MOS トランジスタのレイアウト設計である。中央の赤色の部分がゲートであり、左右の青色の部分がドレイン・ソースに相当する。ゲートの W 値をレイアウト設計した。

差動増幅はノイズを正しく除去するために二入力を同じ条件にする必要がある. 図 6 のように 2 入力の配線の長さ, 配線の交わり方を同じにする, 2 入力の配線を近接して配置することで正しくノイズを除去することができる.

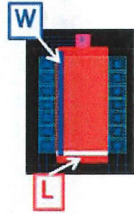


Fig.5. Layout design of a MOS FET

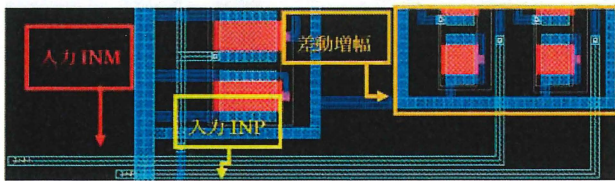


Fig.6. Layout design of differential amplifier circuit

以上のようにレイアウト設計を行い, 完成されたレイアウト設計図を図 7 に示す. 上部は, デジタル回路を含むアナログ集積回路群である, 下部の規則正しく配置されているのは, 位相補償用のコンデンサである. コンデンサは FET トランジスタに比べて面積を必要とする.

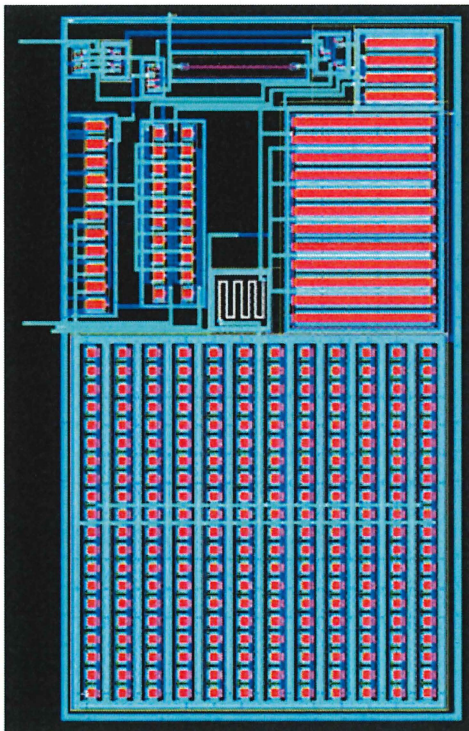


Fig.7. Total layout design of amplifier circuit

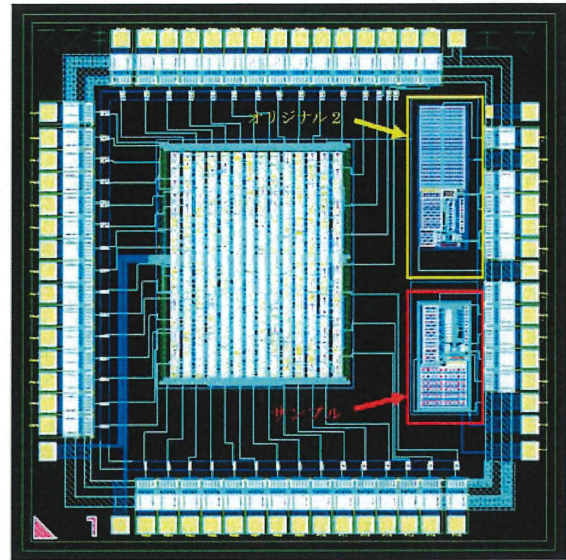


Fig.8. Total layout design of digital-analog mixed LSI chip

このアナログ集積回路を 1 チップ内に収めたレイアウトを図 8 に示す. 1 チップは 1.5 mm×1.5 mm の面積であるので, 他のデジタル回路の混載 LSI とした.

5. 動作確認、性能検証

レイアウト設計したデータをシャトル便にて製造した実際のチップ製品画像を下記に示す.

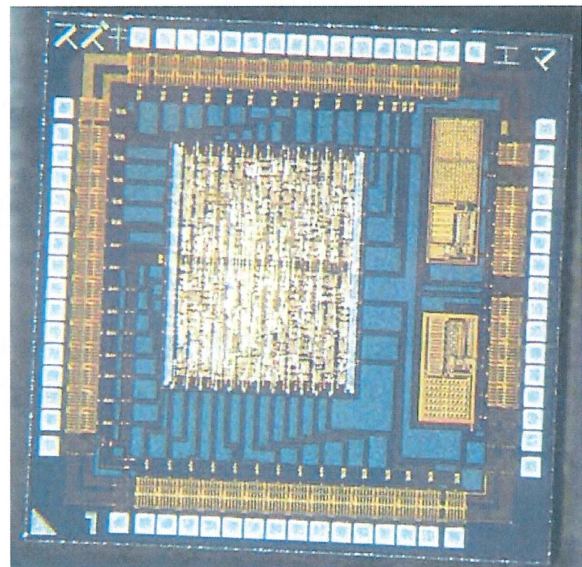


Fig.9. photograph of digital-analog mixed LSI chip

今回の研究では動作検証に用いるテスト回路の製作を行った。テスト回路はボルテージフォロワ、反転増幅、非反転増幅回路の3種類とした。増幅率の設定としてボルテージフォロワは1倍、反転増幅、非反転増幅回路はそれぞれ2倍として以下の6項目の動作検証を行った。

- ①: 入力オフセット電圧 [mV]
- ②: 最大出力振幅 [V]
- ③: スルーレート [V/ μ s]
- ④: ゲインバンド幅 [kHz]
- ⑤: 消費電力 [μ W]
- ⑥: 最大出力電流 [mA]

Table1. Operational verification

項目	オペアンプ1	オペアンプ2
入力オフセット電圧 [mV]	0.2	0.2
②: 最大出力振幅 [V]	4.58	4.58
③: スルーレート [V/ μ s]	0.35	0.45
④: ゲインバンド幅 [kHz]	910	925
⑤: 消費電力 [μ W]	106	109
⑤: 消費電力(スリープ時) [μ W]	0.5	0.5
⑥: 最大出力電流 [mA]	19.6	16.5

オペアンプ1、オペアンプ2のトランジスタの設計値は同じである。違いはレイアウト設計における各素子のレイアウト配置である。若干の性能差が表れているもののゲインバンド幅は約1MHzまで性能を向上した。また、アナログMOSトランジスタの電源部にデジタル回路を組み込んでスリープモードの機能を追加した効果で、ノーマルモードでの消費電力を約1/200に低減することが可能となった。

5. 結言

本研究では、ASIC設計手法を軸としたアナログ集積回路における研究を行った。デジタル回路にアナログ回路設計要素を取り入れデジ・アナ融合技術LSIの開発は目指し、今回は低消費電力&広帯域周波数特性を併せ持つCMOSアナログLSIの設計に取り組んだ。ASIC開発環境は、東京大学大規模集積システム設計教育研究センター(VDEC)と共同研究を通じて整備を行い、チップ製作にはフェニテックセミコンダクター社の協力を得た。

この研究を通じて、CMOSトランジスタを用いたアナログ理論及び設計方法を習得することが出来た。アナログ回路の設計であっても構成要素であるNMOS・PMOSトランジスタ1個のNOT回路動作理解から配置、ノイズに強い設計方法や集積回路におけるコンデンサ、抵抗の設計方法。

また、それに伴う信号遅延等を考慮した設計を行うことができた。オペアンプ設計においては、当初の設計仕様を十分満たす性能を作り出すことが出来た。またスリープモード機能をデジタル回路にて取り入れることによって、消費電力を最大1/200に低減することに成功した。

謝辞

本研究は、愛知工業大学H26年度共同研究B、ALSIデザイン(株)、フェニテックセミコンダクター(株)、及び東京大学大規模集積システム設計教育研究センターを通じシノプシス株式会社の協力で行われたものである。

参考文献

- [1]. 今井正治, ASIC技術の基礎と応用, 電子情報通信学会(1994)
- [2]. ウェスト&ハリス, “CMOS VLSI回路設計” 丸善出版(2014)
- [3]. Edited by K.Ishibashi, K.Osada, “Low Power and Reliable SRAM Memory Cell and Ally Design”, Springer Press, 2011
- [4]. B. Razavi, “アナログCMOS集積回路の設計”, 丸善出版(2014)
- [5]. Y.Tsividis, “Operation and Modeking of the MOS Transister”, Second Ed., Boston:McGraw-Hill(1999)
- [6]. 谷口研二他, “CMOSアナログ回路” CQ出版(2011)
- [7]. VDEC 監修:デジタル集積回路の設計と試作, 培風館(2001)