

チップ上入出力バッファ回路を考慮した 高精度プリント基板回路シミュレーションに関する研究

Study on Accurate Circuit Simulation for Printed Circuit Board including On-chip I/O Buffer Circuits

中村 浩次[†] 江口 一彦^{††} 北城 三郎^{†††} 福田 秀樹^{††††}
NAKAMURA, Kouji EGUCHI, Kazuhiko HOJO, Saburo FUKUDA, Hideki

Abstract : This paper discusses a development of software program which processes IMIC (I/O Interface Model for Integrated Circuit) description and the evaluation of circuit simulation based on IMIC.

IMIC was developed by the Electronic Industry Association of Japan (EIAJ, now JEITA : Japan Electronics and Information Technology Association) in 2001 to provide precise circuit simulation on Printed Circuit Board(PCB). IMIC will enable to provide better circuit simulation environment in the design of PCB for both users and suppliers of semiconductor products by concealing proprietary process technology information but not sacrificing the accuracy of simulation.

1. 背景

1.1 入出力バッファ回路モデル

電子機器の高速化高密度化¹に伴い基板設計に於いても高精度の回路シミュレーションの必要性が高まっている。基板の電気的特性のシミュレーションを行うためには、機器に搭載する IC の入出力ピンまわりの電気的特性を正確に表現したシミュレーションモデルである入出力バッファ回路モデルが必要になる。現在、入出力バッファ回路モデルには SPICE (Simulation Program with Integrated Circuit Emphasis) モデル、IBIS (I/O Buffer Interface Specification)¹⁾²⁾³⁾⁴⁾モデル、IMIC (I/O Interface Model for Integrated Circuit)⁵⁾モデルがある。

1.2 SPICE モデル

SPICE モデルは回路シミュレーションプログラムである SPICE の記述をそのまま用いたモデルである。その為、シミュレーション精度は高いが、半導体メーカー独自のプロセ

ス条件を公開することにつながる。この為、シミュレータの中にはデバイスモデルを暗号化することができる機能を有しているものがある。しかし、暗号化されたデバイスモデルはそのシミュレータ固有の物となり他のシミュレータとの互換性がなくなる。入出力バッファ回路モデルの使用者である PCB の設計者はこの暗号化されたデバイスモデルを使用したシミュレーションでは柔軟性が低くなり検証に問題が生じる場合がある。

また、デバイスモデルの中には半導体メーカー固有のもがあり互換性が低い。その為、使用者である PCB 設計者が使用するシミュレータに合わせてデバイスモデルを制作し直さなければならず、提供者である半導体メーカーの負担が増えてしまう。

このような問題があるため半導体メーカーはこの SPICE モデルでの入出力バッファ回路モデルの提供には消極的である。

1.3 IBIS モデル

1993年8月、米 Intel 社が SPICE モデルによる入出力バッファ回路モデルの提供時の問題を解決するため IBIS モデルを提案し、IBIS Version1.1 を規格化した。続いて1995年10月、には IBIS Verision2.1 が EIA(Electronic Industries Alliance)の ANSI/EIA-656 として規格化され、IBIS Version3.2 が1999年8月に規格化された。このように IBIS

[†]愛知工業大学 電気電子工学専攻 (豊田市)

^{††}愛知工業大学 電気学科 電子工学専攻 (豊田市)

^{†††}株式会社 ルネサステクノロジ (小平市)

^{††††}元 株式会社 日立超 LSI システムズ (国分寺市)

モデルは幾度かの規格の改定が行われ 2001 年 5 月には IEC62104-3 として IEC (International Electrotechnical Commission) の国際標準規格となった。

IBIS モデルは機能記述を用いることにより半導体メーカー独自のプロセス条件の隠蔽を行っている。

1・4 IMIC モデル

IBIS モデルでは、機能記述を用いるためシミュレーションに問題が出ることが多い。このため、日本の業界団体である EIAJ ((社)電子機械工業会: 現(社)電子情報技術産業協会(JEITA)) は、1996 年 8 月に複雑な回路を記述可能とする入出力バッファ回路モデルとし IMIC モデルの検討を開始した。2001 年には、EIAJ-5302 として EIAJ (現 JEITA) 規格化された。

IMIC モデルでは、SPICE 記述と非線形デバイスのテーブル形式による表現により、高精度のシミュレーションと半導体メーカーのプロセス条件の隠蔽を可能にしている。

1・5 本研究の目的

このように、SPICE モデル、IBIS モデル、IMIC モデルにはバッファ回路や非線形デバイスの記述方法に違いがありシミュレーション精度に差が生じる。また、シミュレーション環境についても大きな違いがある。IBIS モデルはツール類が整っており多くのシミュレータでシミュレーションが可能である。一方、IMIC モデルに対応したシミュレータは Applied Simulation Tech. の “Apsim” のみであった。そこで、IMIC モデルを旧 Avnt!社 (現 Synopsys 社) の “Star-HSPICE”、Synopsys 社の “NanoSim”、Mentor Graphics 社の “Eldo” 等の多くのシミュレータで使用可能な形式に変換するプログラムの開発⁹⁾を行った。また、実際に入出力バッファ回路モデルのシミュレーション精度の検証を行った。

2. テーブル形式で与えられる非線形デバイスのシミュレータに対応した表現方法

2・1 テーブル・デバイスモデルの表現方法

IMIC モデルを使用したシミュレーションで問題となるのがテーブル形式で与えられる MOS トランジスタなどのデバイスの特性である。このテーブル形式で与えられるデバイスモデルをシミュレータで使用可能な形式に変換する必要がある。

今回は、Star-HSPICE で使用可能な SMI モデル、NanoSim、Eldo 等で使用可能な Verilog-A を用いた記述方法を検討した。

2・2 SMI model

SMI (Silicon Model Interface)⁷⁾⁸⁾モデルは、旧 Avnt!社(現 Synopsys 社)が提供している回路シミュレーションモデル

の一種である。MOS トランジスタの実測特性やデバイスシミュレータによる特性をそのまま使用して回路シミュレーションを行うことを目的としたモデルで、テーブル形式で特性が表現されるものであり、“Star-Sim”、“Star-HSPICE”で使用することができる。

SMI モデルは cjin、cvin、ivin、vonin の 4 つのファイルから構成される。

2・3 Verilog-A HDL

Verilog-A HDL⁹⁾ (Hardware Description Language) は、IEEE 1364 Verilog HDL を基に Open Verilog International (OVI) によって提案された、アナログ回路の機能記述を行うためのハードウェア記述言語である。その後、図 2.1 に示したようにアナログ (Verilog-A)・デジタル (Verilog-D: IEEE 1364-1995 Verilog HDL を区別するため) 混在 (Mixed Signal) の記述・シミュレーションを可能な規格として Verilog-AMS (Analog and Mixed Signal) HDL¹⁰⁾となった。

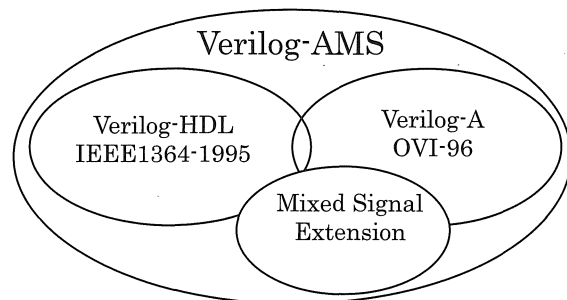


図 2.1 Verilog-AMS architecture

Verilog-A は、アナログ回路、集積回路の抽象度の高いシステムを設計することが可能である。各モジュールの機能は数学的な記述で表現される。このような記述により、電子工学、機械工学、流体工学、熱力学などの多くの分野で使用することが可能である。

3. IMIC 変換プログラムの概要

図 3.1 に IMIC 変換プログラムを使用した IMIC モデルのシミュレーションの流れを示す。図 3.2、図 3.3 に示した IMIC モデルの引用を記述した PCB (Printed Circuit Board) のネットリストを入力ファイルとする。その PCB 内に引用されている IMIC モデルを前章で説明した SMI モデル、Verilog-A を用いたテーブル形式のモデルファイル、バッファ回路を記述したファイル、入力波形を記述したファイル、パッケージの等価回路を記述したファイルの 4 つのファイルを生成する。また、PCB ファイルは IMIC モデルの引用部をサブサーキット化し出力する。この出力された PCB のネットリストを Star-HSPICE 等のシミュレータにかける事によりシミュレーションを可能にする。

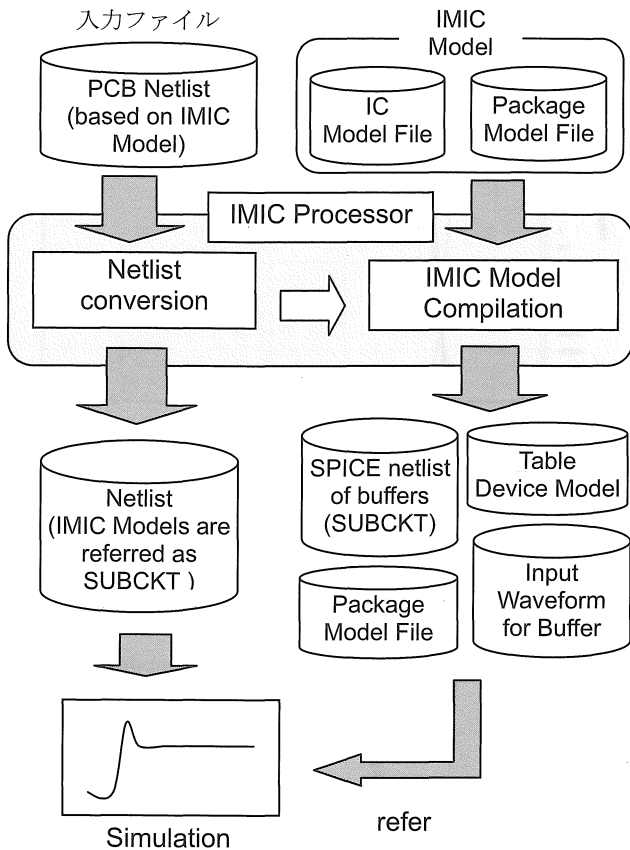


図 3.1 IMIC 変換モデルを使用したシミュレーションの流れ

```

Bxxx node1 node2 ... noden
+ model_type='IMIC'
+ file='IMICモデルファイル名'
+ model='IMICモデル名'
+ [ic_connection='{fast | typ | slow}']
+ [ic_device='{fast | typ | slow}']
+ ic_stimuli='ピン名,{rising | falling},
{fast | typ | slow}, [遅延時間]'
+ [package_connection='{fast | typ | slow}']
+ [package_device='{fast | typ | slow}']
    
```

{ : いずれかの選択を意味する
 [] : 任意の記述であること意味する

図 3.2 IMIC モデルの引用記述

```

B1 PIN11 PIN07 PIN10 REFG model_type='IMIC'
+ file='HD74ALVCH16244.imc'
+ model='HD74ALVCH16244'
+ ic_connection='typ' ic_device='typ'
+ ic_stimuli='LEAD11,rising,10ns'
+ package_connection='typ'
+ package_device='typ'
    
```

図 3.3 IMIC モデルの引用例

IMIC モデルの引用をした PCB ネットリストの例を図 3.4 に示す。この PCB ネットリストを IMIC 変換プログラムにかけ変換を行った結果を図 3.5 に示す。この変換例は SMI モデルを使用した場合である。図 3.5 には、IMIC モデルの引用部がサブサーキット化されている。また、SMI モデルを使用したデバイスモデルの引用部、バッファ回路を記述したファイル、入力波形を記述したファイルの引用文、シミュレーション温度の記述が追加されている。



図 3.4 IMIC を引用した PCB ネットリストの例

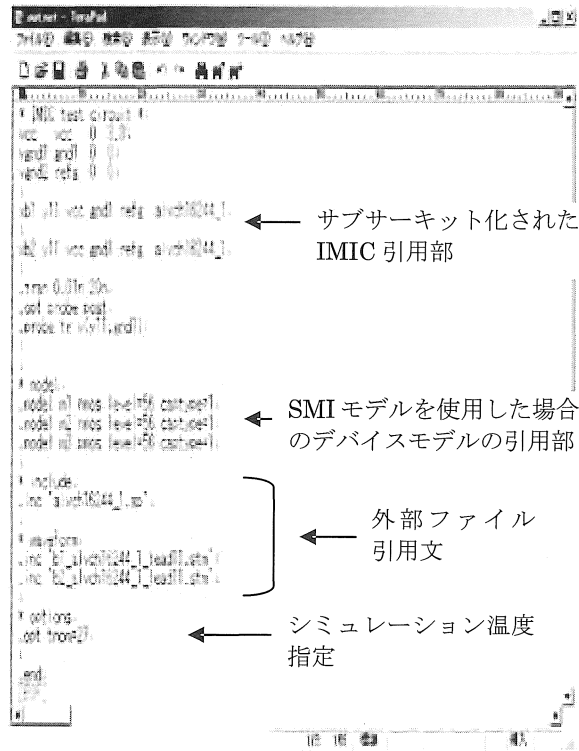


図 3.4 PCB ネットリストの変換例

4. シミュレーション

4.1 シミュレーションに用いた回路

シミュレーションに用いた回路を図 4.1 に示す。この回路の負荷を換えることにより負荷依存特性の検証を行った。シミュレーションに使用した IC はルネサステクノロジの HD74ALVCH16244¹¹⁾である。

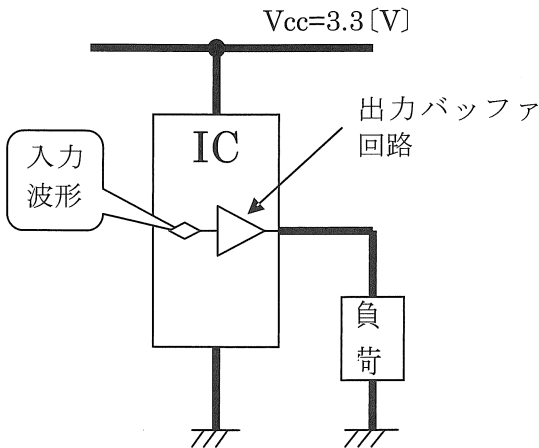


図 4.1 シミュレーション回路

4.2 Star-HSPICE に於けるシミュレーション結果

まず、旧 Avant! (現 Synopsys 社) の “Star-HSPICE” を用いたシミュレーション結果を示す。Star-HSPICE は、広く使用されている SPICE 互換の回路シミュレータである。IMIC モデルは SMI モデルを使用した形式に IMIC 変換プログラムを用いて変換を行っている。

図 4.1 の回路の負荷とし抵抗 $500[\Omega]$ を接続した場合のシミュレーション結果を図 4.2 に示す。

このシミュレーションでは IMIC モデルは SPICE モデルと同等の結果を示している。一方、IBIS モデルでは異なる結果となった。

負荷をコンデンサ $3[pF]$ に換えシミュレーションを行った結果を図 4.3 に示す。

抵抗 $500[\Omega]$ 、コンデンサ $3[pF]$ を並列に接続したものを負荷としシミュレーションを行った結果を図 4.4 に示す。

伝送路にコンデンサ $3[pF]$ を接続したものを負荷とした場合シミュレーション結果を図 4.5 に示す。

以上のように、IBIS モデルでは $3[pF]$ を接続したときのように SPICE モデルに近いシミュレーション結果を得られる場合もあるが、多くの場合でシミュレーション精度に問題があることがわかった。一方、IMIC モデルでは SMI モデルを使用した場合 SPICE と同等のシミュレーション結果を得ることができた。

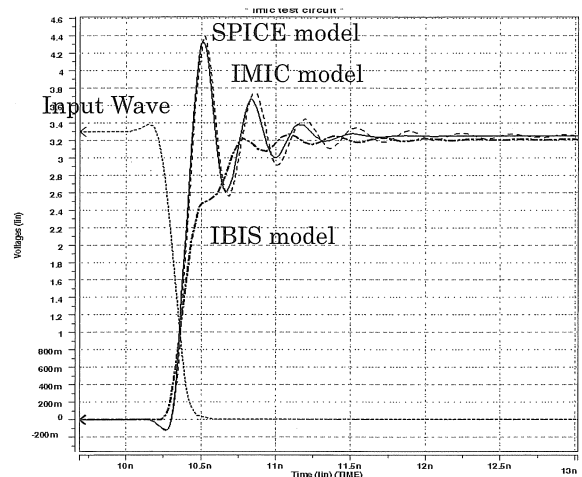


図 4.2 抵抗 $500[\Omega]$ を接続した場合

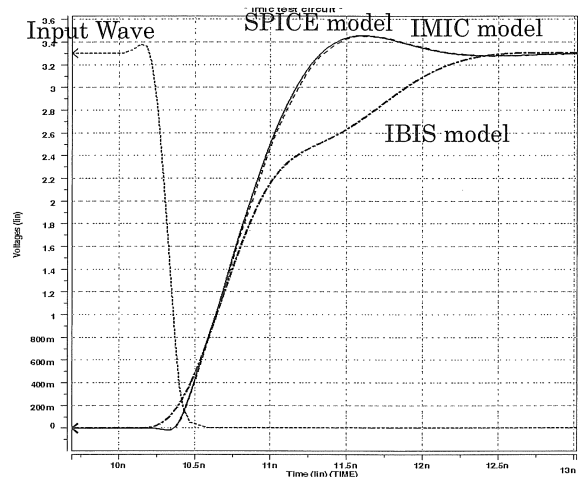


図 4.3 コンデンサ $3[pF]$ を接続した場合

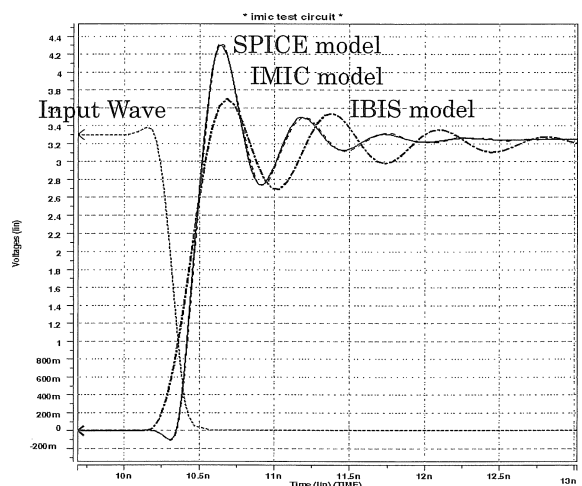


図 4.4 抵抗 $500[\Omega]$ とコンデンサ $3[pF]$ を接続した場合

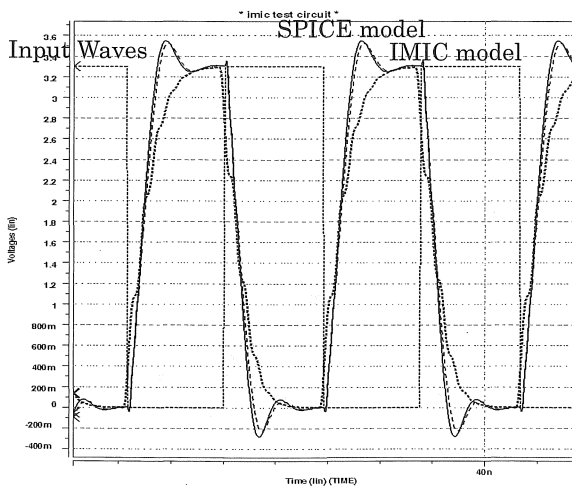


図 4.5 伝送路にコンデンサ 3 [pF] を接続したものを負荷とした場合

4・2 NanoSim に於けるシミュレーション結果

次に、Synopsys 社の“ NanoSim ”を用いたシミュレーション結果を示す。NanoSim は、Verilog-A に対応したシミュレータでアナログ・デジタル回路混在のシミュレーションが行える。

Verilog-A を用いた IMIC モデルのみ NanoSim を用いてシミュレーションを行い、他のモデルは Star-HSPICE を用いてシミュレーションを行っている。

シミュレーションは Star-HSPICE の場合と同様に図 4.1 に示した回路の負荷を換え負荷依存特性の検討を行っている。

抵抗 500 [Ω] を負荷としシミュレーションを行った結果を図 4.6 に示す。

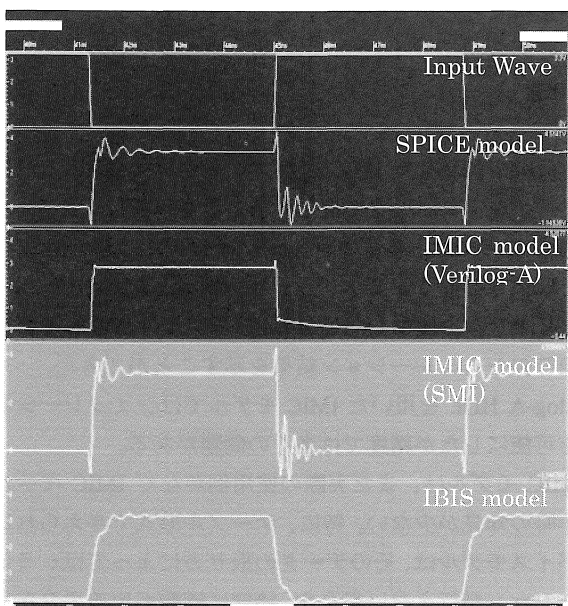


図 4.6 抵抗 500 [Ω] を負荷とした場合

負荷としコンデンサ 3 [pF] を接続しシミュレーションを行った結果を図 4.7 に示し、抵抗 500 [Ω] とコンデンサ 3 [pF] を並列に接続したものを負荷としてシミュレーションを行った結果を図 4.8 に示す。

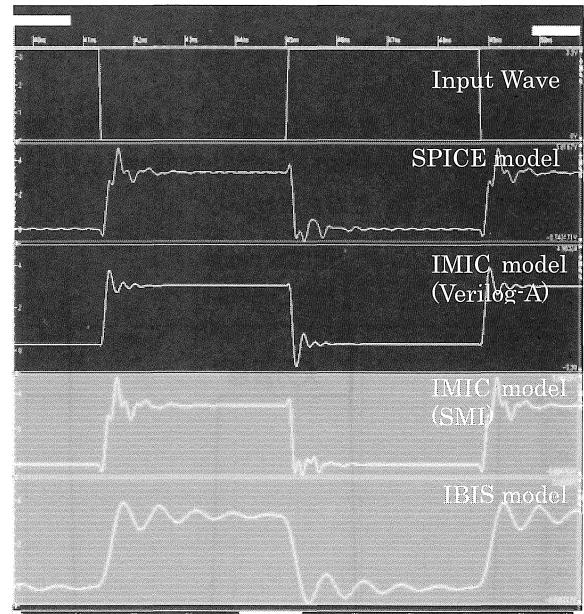


図 4.7 コンデンサ 3 [pF] を負荷とした場合

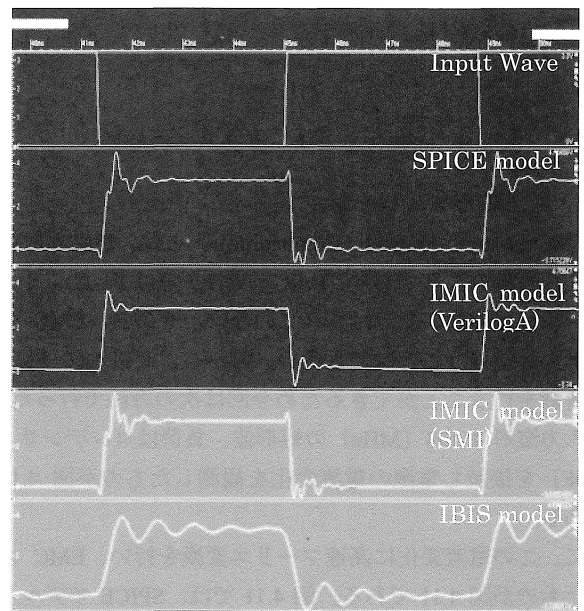


図 4.8 抵抗 500 [Ω] とコンデンサ 3 [pF] を負荷とした場合

Verilog-A は、まだ始まったばかりであり使用法のノウハウも十分蓄積されていない。今回の実験でも精度・処理時間の面でまだ問題があるが、IMIC の適用範囲を“ NanoSim ”、“ Eldo ”へ拡張する端緒を拓くことができた。

4・3 同時スイッチング時の電源ノイズのシミュレーション

同時に多数のバッファ回路がスイッチング動作を行った場合の電源電圧、グラウンドの電圧変動のシミュレーションを行った結果を図 4.9 に示す。

IBIS に関しては SI (Signal Integrity) シミュレーションのためのモデルである為、このシミュレーションは行えない。

図 4.9 の結果より、電源電圧の変動、グラウンドの変動ともに IMIC モデルは、SPICE モデルと同等の結果を示し、同等の精度を有していることがわかる。

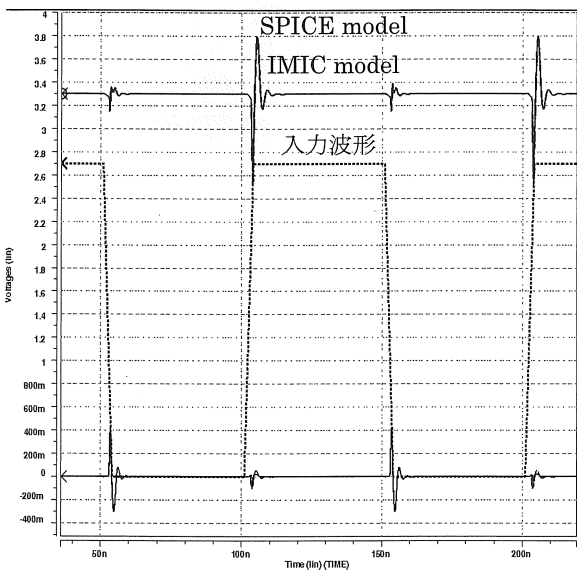


図 4.9 同時スイッチングノイズの解析

4・4 EMC シミュレーション

EMC (Electro-Magnetic Compatibility) とは、電磁界放射ノイズ解析のことであり、IMIC Ver1.3 では EMC シミュレーションの為の記述はされていない。その為、EMC の解析を直接行うことはできない。しかし、間接的に EMC の解析を行うことができるため今回は次の方法で行った。

入力波形は 133 [MHz] の矩形波、負荷はコンデンサ 3 [pF] を接続し電源の電流変化を観測したものが図 4.10 である。

次に、この電流変化に高速フーリエ変換を行い、EMC を見たものが図 4.11 である。図 4.11 では、SPICE モデルと IMIC モデルの結果が近似していることがわかる。

今後、環境問題で電子機器に対する EMC 規制はますます厳しくなることが予想される。IEC の場で議論されている IMIC モデルの仕様拡張を実現すれば EMC に対する設計支援インフラとして IMIC モデルは貢献できるものと考えられる。

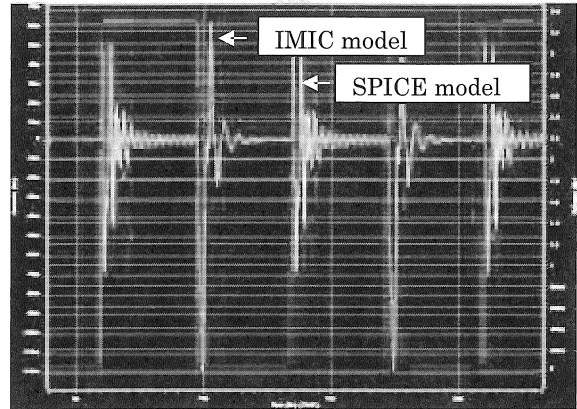


図 4.10 電流変化

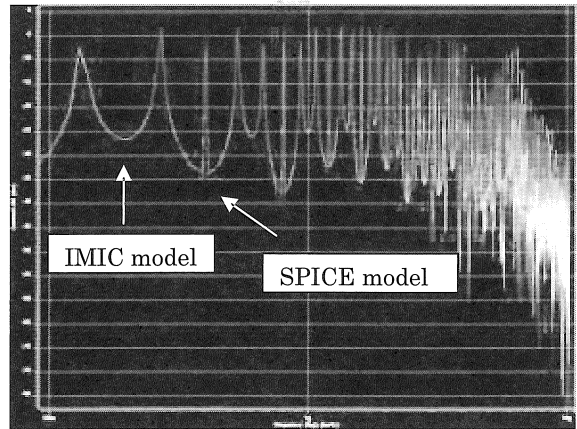


図 4.11 EMC シミュレーション

この結果より IMIC モデルは現段階でも間接的にはあるが EMC のシミュレーションを行うことができ、また SMI モデルを使用することにより SPICE モデルと同様の結果を得ることができることを示している。

5. 結言

本研究で開発した IMIC 変換プログラムは IMIC モデルを多くのシミュレータで使用することを可能にした。

IBIS モデルは、多くのシミュレーションで SPICE モデルとは大きく違うシミュレーション結果となった。

SMI モデルを使用した場合 IMIC モデルは SPICE モデルと同等のシミュレーション結果を示すことができた。一方、Verilog-A HDL を用いた IMIC モデルではシミュレーションを可能にしたが精度では多くの問題がある。

IMIC モデルは、まだ実際の使用例がなく IMIC モデル制作時の知見が少ない。特に、テーブル形式で与えられるデバイスモデルは、そのデータの取り方によってはシミュレーションが行えない場合や、精度に問題が出る場合がある。今後の課題として、テーブル・モデルの製作指針等の検討が必要である。

6. 謝辞

IMIC 規格を開発された EIAJ (現 JEITA) プロジェクトグループのメンバー各位に感謝いたします。また、処理系開発時における仕様の細部に亘っては IEC SC47A/WG2 の場でご議論戴いた。IEC SC47A/WG2 国際コンベンナ兼国内委員会主査 三谷真一郎氏 (株式会社日立製作所) ならびに 元吉啓登氏(株式会社ルネサスデバイスデザイン)、井上徹氏(沖電気工業株式会社)、栗本雅弘 (沖電気工業株式会社)、大門一夫氏(株式会社ルネサステクノロジ) に深く感謝いたします。

"This work is supported by VLSI Design and Education Center (VDEC), the University of Tokyo in collaboration with Synopsys, Inc."

"This work is supported by VLSI Design and Education Center (VDEC), the University of Tokyo in collaboration with Cadence Design Systems, Inc."

「本件研究は株式会社ルネサステクノロジ殿の奨学寄附金ならびに同社からの受託研究「次世代 CMOS アナログ回路設計自動化の研究」の支援の一部を得て行われたものである。」

参考文献

- 1)IBIS(I/O Buffer Information Specification) Version 3.2 :
Ratified August 1999
- 2)IBIS(I/O Buffer Information Specification) Version 4.1 :
Ratified January 30, 2004
- 3)Official EIA/IBIS Home Page:
<http://www.eigroup.org/ibis/ibis.htm>
- 4)IEC 62014-1:2001: "Electronic design automation libraries - Part1: Input/output buffer information specifications (IBIS)"IEC62104-3 IBIS
- 5)Japan Electronics and Information Technology Industries Association(JEITA): EIAJ ED-5302 "Standard for I/O Interface Model for Integrated Circuits" ,March, 2001
- 6) 中村浩次、江口一彦、北城三郎、福田秀樹：入出力バッファ回路記述標準化規格(IMICEIAJ ED-5302)の処理系開発 (情報処理学会 DA シンポジウム 2004 論文集 pp.163-168)
- 7)Avant!: "Star-Sim User Guide,Release 1998.4"
- 8)Avant!: "Star-HSPICE USER'S MANUAL",1996.2
- 9)Verilog-A Language Reference Manual Version 1.0 : August 1, 1996
- 10)Verilog-AMS Language Reference Manual Version 2.1 : January 20, 2003
- 11)Renesas Technology Corp.: HD74ALVCH16244 DataSheet (受理 平成 17 年 3 月 17 日)